

**KOREAN INDUSTRIAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial Property Office.

**Application Number:** **10-2003-0004025**

**Date of Application:** **21 January 2003**

**Applicant(s):** **Fairchild Korea Semiconductor Co., Ltd.**

**8 February 2003**

**COMMISSIONER**

## **PATENT APPLICATION**

[Document Name] Patent Application

Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0020

[Filing Date] 2003.01.21.

[IPC] H01L

[Title] Semiconductor Package Having the Structure for High Voltage Application

[Applicant]  
Name: Fairchild Korea Semiconductor Co., Ltd.  
Applicant code: 1-1999-025205-6

[Attorney]  
Name: Young-pil Lee  
Attorney's code: 9-1998-000334-6  
Reg. No. of General Power of Attorney: 1999-049858-3

Name: Sang-bin Jeong  
Attorney's code: 9-1998-000541-1  
Reg. No. of General Power of Attorney: 1999-050077-7

[Inventor]  
Name: Joon-seo Son  
I.D. No. 690312-1019314  
Zip Code 157-018  
Address: 397-39, Hwagok 8-dong, Gangseo-gu, Seoul,  
Republic of Korea  
Nationality: Republic of Korea

[Inventor]  
Name: Shi-baek Nam  
I.D. No. 621108-1009916  
Zip Code 420-030  
Address: 2713-602, Baeksong Apt., 571-3, Sang-dong, Wonmi-gu,  
Bucheon-city, Kyungki-do, Republic of Korea.  
Nationality: Republic of Korea.

[Inventor]

Name: O-seob Jeon  
I.D. No. 61117-1030930  
Zip Code 120-113  
Address: 2-308, Daerim Apt., 700, Yeonhee 3-dong, Seodaemun-gu,  
Seoul, Republic of Korea.  
Nationality: Republic of Korea.

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney Young-pil Lee (seal)  
Attorney Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	14 Sheet(s)	14,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	0 Claim(s)	0 won
Total:		43,000 won

[Enclosures]

1. Abstract and Specification ( and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0004025  
Application Number

출 원 년 월 일 : 2003년 01월 21일  
Date of Application JAN 21, 2003

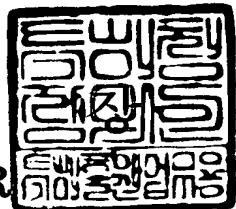
출 원 인 : 페어차일드코리아반도체 주식회사  
Applicant(s) FAIRCHILD KOREA SEMICONDUCTOR LTD.



2003 년 02 월 08 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.21
【국제특허분류】	H01L
【발명의 명칭】	고전압 응용에 적합한 구조를 갖는 반도체 패키지
【발명의 영문명칭】	Semiconductor package having the structure for high voltage application
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-049858-3
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-050077-7
【발명자】	
【성명의 국문표기】	손준서
【성명의 영문표기】	SON, Joon Seo
【주민등록번호】	690312-1019314
【우편번호】	157-018
【주소】	서울특별시 강서구 화곡8동 397-39
【국적】	KR
【발명자】	
【성명의 국문표기】	남시백
【성명의 영문표기】	NAM, Shi Baek
【주민등록번호】	621108-1009916
【우편번호】	420-030

## 【주소】

경기도 부천시 원미구 상동 571-3 백송아파트 2713동 602호

## 【국적】

KR

## 【발명자】

## 【성명의 국문표기】

전오섭

## 【성명의 영문표기】

JEON, O Seob

## 【주민등록번호】

611117-1030930

## 【우편번호】

120-113

## 【주소】

서울특별시 서대문구 연희3동 700 대림아파트 2-308

## 【국적】

KR

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인

이영

필 (인) 대리인

정상빈 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 14 면 14,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 43,000 원

## 【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명의 반도체 패키지는, 반도체 다이가 안착되는 리드 프레임 패드 및 리드 프레임 패드와 전기적으로 연결되는 내부 리드들이 몰딩된 하우징으로 덮이고, 내부 리드들로부터 연장되는 외부 리드들이 몰딩된 하우징의 일 측면 밖으로 돌출된 기본 구조를 갖는다. 외부 리드들은 중앙부에 배치된 제1 외부 리드와 제1 외부 리드의 좌우에 각각 배치된 제2 외부 리드 및 제3 외부 리드를 포함한다. 제2 외부 리드 및 제3 외부 리드의 일부 중 몰딩된 하우징과 인접된 부분에서 제1 외부 리드와 반대 방향으로 돌출되어 몰딩된 하우징 표면에서의 제1 외부 리드와의 간격을 증대시키는 굴곡부가 배치된다. 제2 외부 리드의 굴곡부 및 제3 외부 리드의 굴곡부 중 적어도 어느 하나는 몰딩된 하우징으로 연장된 부분으로 덮인다.

**【대표도】**

도 6

## 【명세서】

## 【발명의 명칭】

고전압 응용에 적합한 구조를 갖는 반도체 패키지{Semiconductor package having the structure for high voltage application}

## 【도면의 간단한 설명】

도 1은 종래의 반도체 패키지의 일 예를 나타내 보인 평면도이다.

도 2는 도 1의 반도체 패키지를 일 방향에서 바라본 측면도이다.

도 3은 도 1의 반도체 패키지를 다른 방향에서 바라본 측면도이다.

도 4는 종래의 반도체 패키지의 다른 예를 나타내 보인 평면도이다.

도 5는 도 4의 반도체 패키지의 내부 리드의 형상을 나타내 보인 도면이다.

도 6은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내 보인 평면도이다.

도 7은 본 발명의 다른 실시예에 따른 반도체 패키지를 나타내 보인 평면도이다.

도 8a 내지 도 8g는 도 6의 반도체 패키지를 여러 가지 형태로 변형시킨 결과들을 나타내 보인 도면들이다.

도 9a 내지 도 9g는 도 7의 반도체 패키지를 여러 가지 형태로 변형시킨 결과들을 나타내 보인 도면들이다.

도 10은 도 7의 반도체 패키지를 변형시켜 외부 리드 사이의 피치 변화가 억제된 구조를 나타내 보인 도면이다.

도 11은 도 10의 A 부분에서의 제3 외부 리드를 확대해 나타내 보인 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 반도체 패키지에 관한 것으로서, 특히 고전압 응용에 적합한 구조를 갖는 반도체 패키지에 관한 것이다.

<13> 통상적으로 다이오드, 사이리스터 또는 모스 게이트 소자들( MOSFET, IGBT 등)과 같은 반도체 소자들은, 소자 정션을 포함하는 실리콘 반도체 다이(die) 내에 형성된다. 이 다이는 하부의 금속 드레인, 소스 및 게이트 전극을 갖는다. 다이가 리드 프레임 패드의 표면에 부착되고, 상기 전극들이 와이어 본딩을 통해 리드 프레임과 전기적으로 연결되어, 결국은 리드 프레임의 외부 리드들과 전기적으로 연결되게 된다. 외부 리드들은 몰딩된 하우징 밖으로 돌출된다. 실리콘 반도체 다이 및 와이어는 하우징 내에 완전히 몰딩된다.

<14> 이와 같이 몰딩된 하우징 밖으로 외부 리드들이 돌출된 구조의 반도체 패키지 경우, 고전압 응용에 적합하기 위해서는 하우징 표면에서의 외부 리드들 사이의 간격인 연면 거리(creepage distance)가 충분히 확보되어야 한다. 즉 이 연면 거리가 충분히 확보되지 않을 경우, 반도체 패키지의 최대 인가 전압에 대한 제한이 이루어진다는 것은 잘 알려져 있는 사실이다.

<15> 도 1은 연면 거리를 최대한 확보하기 위한 구조의 종래의 반도체 패키지의 일 예를 나타내 보인 평면도이다. 그리고 도 2 및 도 3은 도 1의 반도체 패키지를 서로 다른 방향에서 바라본 측면도들이다.

<16> 도 1 내지 도 3에 도시된 바와 같이, 종래의 반도체 패키지(20)는, 플라스틱 몰딩 하우징(21)을 포함한다. 이 몰딩 하우징(21)은 반도체 다이(22)(도 2에서 점선으로 표시)를 완전히 둘러싼다. 세 개의 외부 리드들(25, 26, 27)은 몰딩 하우징(21)의 전면 측면(18) 밖으로 돌출된다. 이 외부 리드들(25, 26, 27)은 각각 모스 트랜지스터의 게이트, 소스 및 드레인 일 수 있다. 가장자리에 배치된 외부 리드들(25, 27)은 중심부에 배치된 외부 리드(26)로부터 최대한 멀어지도록 하는 굴곡부(30)(31)를 각각 포함한다. 외부 리드(25)의 굴곡부(30)는 외부 리드(26)의 반대 방향을 향해 구부러진 형상을 가지며, 이에 따라 연면 거리(32)가 더 커진다. 마찬가지로 외부 리드(27)의 굴곡부(31)도 외부 리드(26)의 반대 방향을 향해 구부러진 형상을 가지며, 이에 따라 연면 거리(33) 또한 더 커진다.

<17> 이와 같은 종래의 반도체 패키지의 경우, 외부 리드들 사이의 연면 거리를 증대시킬 수 있으므로, 보다 높은 전압을 인가할 수 있다는 이점을 제공한다. 그러나 한편으로는 보다 큰 연면 거리를 얻기 위해서는 패키지 몸체인 몰딩 하우징의 측면(도 3의 28)도 함께 증대시켜야 하고, 결과적으로 패키지의 전체 크기가 증대되어야 한다는 한계가 있다.

<18> 도 4는 연면 거리를 최대한 확보하기 위한 구조의 종래의 반도체 패키지의 다른 예를 나타내 보인 평면도이다. 그리고 도 5는 도 4의 반도체 패키지의 내부 리드의 형상을 나타내 보인 도면이다.

<19> 도 4 및 도 5를 참조하면, 종래의 반도체 패키지(40)의 외부 리드들(45, 47)은, 몰딩 하우징(41)의 일 측면(48)에 인접된 부분에서 중앙의 외부 리드(46)와는 반대 방향을

향해 기울어진 구조로 이루어진다. 또한 외부 리드(45)와 외부 리드(46) 사이 및 외부 리드(47)와 외부 리드(45) 사이에서는 몰딩된 하우징(41)이 내부를 향해 핵몰된 구조로 이루어진다. 외부 리드들(45, 46, 47)로부터 연장되어 몰딩된 하우징(41) 내부에 위치하는 내부 리드들(55, 56, 57)은, 그 구조에 있어서 변화 없이 몰딩된 하우징(41) 내에서 리드 프레임 패드(59)에 연결된다.

<20> 이와 같은 구조의 반도체 패키지의 경우, 외부 리드(45)와 외부 리드(46) 사이의 연면 거리(52)는 증가되며, 마찬가지로 외부 리드(47)와 외부 리드(45) 사이의 연면 거리(53) 또한 증가된다는 이점을 제공한다. 그러나, 도 1 내지 도 3의 반도체 패키지와 마찬가지로, 보다 큰 연면 거리를 얻기 위해서는 패키지 몸체인 몰딩 하우징의 측면(48)도 함께 증대시켜야 하고, 결과적으로 패키지의 전체 크기가 증대되어야 한다는 한계가 여전히 존재한다.

#### 【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는, 반도체 패키지의 크기를 증대시키지 않고 외부 리드들 사이의 연면 거리를 증대시킴으로써 고전압 응용에 적합한 구조를 갖는 반도체 패키지를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 패키지는, 반도체 다이가 안착되는 리드 프레임 패드 및 리드 프레임 패드와 전기적으로 연결되는 내부 리드들이 몰딩된 하우징으로 덮이고, 상기 내부 리드들로부터 연장되는 외부 리드들이 상기 몰딩된 하우징의 일 측면 밖으로 돌출된 구조로 이루어진 반도체 패키지

에 있어서, 상기 외부 리드들은 중앙부에 배치된 제1 외부 리드와 상기 제1 외부 리드의 좌우에 각각 배치된 제2 외부 리드 및 제3 외부 리드를 포함하며, 상기 제2 외부 리드 및 제3 외부 리드의 일부 중 상기 몰딩된 하우징과 인접된 부분에서 상기 제1 외부 리드와 반대 방향으로 돌출되어 상기 몰딩된 하우징 표면에서의 상기 제1 외부 리드와의 간격을 증대시키는 굴곡부가 배치되며 상기 제2 외부 리드의 굴곡부 및 상기 제3 외부 리드의 굴곡부 중 적어도 어느 하나는 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것을 특징으로 한다.

<23> 상기 제1 외부 리드의 일부 중 상기 몰딩된 하우징 표면과 인접된 부분은 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것이 바람직하다. 이 경우 상기 제1 외부 리드의 일부를 덮는 몰딩된 하우징 표면과, 상기 제2 외부 리드 및 제3 외부 리드 중 적어도 어느 한 외부 리드의 굴곡부를 덮는 몰딩된 하우징 표면 사이의 간격은 적어도 1mm가 되도록 하는 것이 바람직하다.

<24> 상기 제1 외부 리드와 상기 제2 외부 리드 사이의 상기 몰딩된 하우징 표면과, 상기 제2 외부 리드와 상기 제3 외부 리드 사이의 상기 몰딩된 하우징 표면 중 적어도 어느 한 표면에는 몰딩된 하우징 몸체를 향해 패인 함몰부가 형성되는 것이 바람직하다.

<25> 상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 반도체 패키지는, 반도체 다이가 안착되는 리드 프레임 패드 및 리드 프레임 패드와 전기적으로 연결되는 내부 리드들이 몰딩된 하우징으로 덮이고, 상기 내부 리드들로부터 연장되는 외부 리드들이 상기 몰딩된 하우징의 일 측면 밖으로 돌출된 구조로 이루어진 반도체 패키지에 있어서, 상기 외부 리드들은 중앙부에 배치된 제1 외부 리드와 상기 제1 외부 리드의 좌우에 각각 배치된 제2 외부 리드 및 제3 외부 리드를 포함하며, 상기 제2 외부

리드 및 제3 외부 리드의 일부 중 상기 몰딩된 하우징 표면에 가까울수록 상기 제1 외부 리드와 멀어지도록 경사진 경사부가 배치되며, 상기 제2 외부 리드의 경사부 및 상기 제3 외부 리드의 경사부 중 적어도 어느 하나는 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것을 특징으로 한다.

<26> 상기 제1 외부 리드의 일부 중 상기 몰딩된 하우징 표면과 인접된 부분은 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것이 바람직하다. 이 경우 상기 제1 외부 리드의 일부를 덮는 몰딩된 하우징 표면과, 상기 제2 외부 리드 및 제3 외부 리드 중 적어도 어느 한 외부 리드의 경사부를 덮는 몰딩된 하우징 표면 사이의 간격은 적어도 1mm가 되도록 하는 것이 바람직하다.

<27> 상기 제1 외부 리드와 상기 제2 외부 리드 사이의 상기 몰딩된 하우징 표면과, 상기 제2 외부 리드와 상기 제3 외부 리드 사이의 상기 몰딩된 하우징 표면 중 적어도 어느 한 표면에는 몰딩된 하우징 몸체를 향해 패인 함몰부가 형성되는 것이 바람직하다.

<28> 상기 제2 외부 리드 및 상기 제3 외부 리드 중 적어도 어느 한 외부 리드의 경사부는 상기 몰딩된 하우징 표면과 수직되는 부분과 경사진 부분의 경계 부분에 상기 경사부를 덮는 몰딩된 하우징의 두께보다 큰 평평한 부분을 포함하는 것이 바람직하다.

<29> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<30> 도 6은 본 발명의 일 실시예에 따른 반도체 패키지를 나타내 보인 평면도이다.

<31> 도 6을 참조하면, 본 발명에 따른 반도체 패키지(100)는, 몰딩된 하우징(110) 밖으로 세 개의 외부 리드들(121, 122, 123)이 돌출된 구조를 갖는다. 세 개의 외부 리드들(121, 122, 123) 중, 제1 외부 리드(121)는 몰딩된 하우징(110)의 일 측면(112)의 중앙부에 배치된다. 그리고 제2 및 제3 외부 리드(122, 123)는, 몰딩된 하우징(11)의 일 측면(112)의 가장자리부에서 각각 제1 외부 리드(121)로부터 일정 간격 이격되도록 배치된다. 도면에 나타내지는 않았지만, 모스 전계 효과 트랜지스터(MOSFET)와 같은 반도체 소자(미도시)가 몰딩된 하우징(110) 내에 파묻혀 있으며, 몰딩된 하우징(110) 내부에서 반도체 소자의 각 전극들은 와이어들(미도시)을 통해 외부 리드들(121, 122, 123)로부터 연장되는 내부 리드들(미도시)과 전기적으로 연결된다.

<32> 가장자리에 배치된 제2 및 제3 외부 리드(122, 123)는, 몰딩된 하우징(110)에 인접한 부분에서는 제1 외부 리드(121)와 반대 방향으로 돌출된 굴곡부들(124, 126)을 각각 갖는다. 즉 제2 외부 리드(122)의 경우, 몰딩된 하우징(110)의 일 측면(112)에서, 제1 외부 리드(121)와 대향하는 면에서는 제1 외부 리드(121)와 멀어지도록 함몰된 형상을 가지며, 이에 따라 제1 외부 리드(121)와 대향하는 면의 반대 면에서는 돌출된 형상을 갖는다. 마찬가지로 제3 외부 리드(123)의 경우, 몰딩된 하우징(110)의 일 측면(112)에서, 제1 외부 리드(121)와 대향하는 면에서는 제1 외부 리드(121)와 멀어지도록 함몰된 형상을 가지며, 이에 따라 제1 외부 리드(121)와 대향하는 면의 반대 면에서는 돌출된 형상을 갖는다.

<33> 이와 같은 제2 외부 리드(122) 및 제3 외부 리드(123)의 굴곡부들(124, 126)은 몰딩된 하우징(110)으로 덮인다. 또한 제1 외부 리드(121)의 일부도 또한 몰딩된 하우징(110)으로 덮인다. 즉 몰딩된 하우징(110)은, 그 측면(112)에서 접하는 제1 외부 리드

(121)의 일부와, 제2 외부 리드(122) 및 제3 외부 리드(123)의 굴곡부들(124, 126)을 덮도록 일부가 연장된다. 제1 외부 리드(121)의 일부 및 굴곡부들(124, 126)을 덮는 몰딩된 하우징(110)의 두께는 두꺼울 필요가 없으며, 따라서 비교적 얇은 것이 적절하다. 제1 외부 리드(121)를 덮는 몰딩된 하우징(110)의 연장부 표면과, 제3 외부 리드(123)의 굴곡부(126)를 덮는 몰딩된 하우징(110)의 연장부 표면 사이의 간격(d)은 대략 1mm 이상이 되도록 한다.

<34> 이와 같은 구조의 반도체 패키지(100)에 있어서, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리( $d_c$ )는, 제1 외부 리드(121)의 제1 지점(a)에서부터 제2 외부 리드(122)의 제2 지점(b)까지 이르는 몰딩된 하우징(110)의 표면 거리가 되며, 따라서 종래 구조의 반도체 패키지와 비교하여 제2 외부 리드(122)의 굴곡부(124)의 일 표면을 덮는 몰딩된 하우징(110)의 연장부 길이에 해당하는 길이만큼 더 큰 연면 거리를 확보할 수 있게 된다. 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리 또한 동일하다. 본 실시예에 따른 반도체 패키지(100)의 경우, 연면 거리( $d_c$ )의 증가에도 불구하고, 반도체 패키지(100)의 크기는 증가되지 않는다. 이는 연면 거리( $d_c$ )의 증가는 몰딩된 하우징(110)이 제2 및 제3 외부 리드(122, 123)의 굴곡부들(124, 126)을 덮도록 일부가 연장되는 구조에 의해 달성되기 때문이다.

<35> 도 7은 본 발명의 다른 실시예에 따른 반도체 패키지를 나타내 보인 평면도이다. 도 7에서도 6과 동일한 참조 부호는 동일한 요소를 나타내므로 중복되는 설명은 생략하기로 한다.

<36> 도 7에 도시된 바와 같이, 본 실시예에 따른 반도체 패키지(200)의 가장자리에 배치된 제2 및 제3 외부 리드(122, 123)는, 몰딩된 하우징(110)에 인접한 부분에 가까울수

록 제1 외부 리드(121)로부터 점점 멀어지도록 경사진 형상의 경사부(224, 226)를 포함 한다. 즉 제2 외부 리드(122)의 경우, 몰딩된 하우징(110)의 일 측면(112) 표면에서 제1 외부 리드(121)와의 간격이 가장 크며, 마찬가지로 제3 외부 리드(123)의 경우에도 몰딩된 하우징(110)의 일 측면(112) 표면에서 제1 외부 리드(121)와의 간격이 가장 크다

<37> 이와 같은 제2 외부 리드(122) 및 제3 외부 리드(123)의 경사부들(224, 226)은 몰딩된 하우징(110)으로 덮인다. 또한 제1 외부 리드(121)의 일부도 또한 몰딩된 하우징(110)으로 덮인다. 즉 몰딩된 하우징(110)은, 그 측면(112)에서 접하는 제1 외부 리드(121)의 일부와, 제2 외부 리드(122) 및 제3 외부 리드(123)의 경사부들(224, 226)을 덮도록 일부가 연장된다. 제1 외부 리드(121)의 일부 및 경사부들(224, 226)을 덮는 몰딩된 하우징(110)의 두께는 두꺼울 필요가 없으며, 따라서 비교적 얇은 것이 적절하다. 제1 외부 리드(121)를 덮는 몰딩된 하우징(110)의 연장부 표면과, 제3 외부 리드(123)의 굴곡부(126)를 덮는 몰딩된 하우징(110)의 연장부 표면 사이의 간격( $d'$ )은 대략 1mm 이 상이 되도록 한다.

<38> 이와 같은 구조의 반도체 패키지(100)에 있어서, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리( $d_c'$ )는, 제1 외부 리드(121)의 제1 지점( $a'$ )에서부터 제2 외부 리드(122)의 제2 지점( $b'$ )까지 이르는 몰딩된 하우징(110)의 표면 거리가 되며, 따라서 종래 구조의 반도체 패키지와 비교하여 제2 외부 리드(122)의 경사부(224)의 일 표면을 덮는 몰딩된 하우징(110)의 연장부 길이에 해당하는 길이만큼 더 큰 연면 거리를 확보할 수 있게 된다. 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리 또한 동일하다. 본 실시예에 따른 반도체 패키지(200)의 경우, 연면 거리( $d_c'$ )의 증가에

도 불구하고, 반도체 패키지(100)의 크기는 증가되지 않는다. 이는 연면 거리( $d_c'$ )의 증가는 몰딩된 하우징(110)이 제2 및 제3 외부 리드(122, 123)의 경사부들(224, 226)을 덮도록 일부가 연장되는 구조에 의해 달성되기 때문이다.

<39> 도 8a 내지 도 8g는 도 6의 반도체 패키지를 여러 가지 형태로 변형시킨 결과들을 나타내 보인 도면들이다. 도 8a 내지 도 8g에서 도 6과 동일한 참조 부호는 동일한 요소를 나타낸다.

<40> 먼저 도 8a에 도시된 반도체 패키지의 경우, 도 6의 반도체 패키지(100)와 비교해서, 제1 외부 리드(121)의 일부를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상으로서, 결론적으로 제1 외부 리드(121)가 몰딩된 하우징(110)으로부터 완전히 노출된다. 따라서 도 8a의 반도체 패키지는 감소된 연면 거리를 갖게 되지만, 제조 방법에 있어서는 도 6의 반도체 패키지(100)에 비하여 보다 용이해진다.

<41> 다음에 도 8b에 도시된 반도체 패키지의 경우, 도 6의 반도체 패키지(100)와 비교해서, 제2 외부 리드(122)의 돌출부(124)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상으로서, 결론적으로 제2 외부 리드(122)의 돌출부(124)가 몰딩된 하우징(110)으로부터 완전히 노출된다. 따라서 도 8b의 반도체 패키지는, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 6의 반도체 패키지(100)와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 6의 반도체 패키지(100)보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제3 외부 리드(123) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<42> 도 8c에 도시된 반도체 패키지는, 도 8b에 도시된 반도체 패키지와 동일하며, 단지 제2 외부 리드(122)의 돌출부(124) 대신에 제3 외부 리드(123)의 돌출부(126)를 덮는

몰딩된 하우징(110)의 연장부가 제거된 형상을 갖는다. 따라서 이 반도체 패키지는, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 6의 반도체 패키지(100)와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 6의 반도체 패키지(100)보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제2 외부 리드(122) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<43> 도 8d에 도시된 반도체 패키지는, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 몰딩된 하우징(110) 표면과, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 몰딩된 하우징(110) 표면에 홈들(114, 116)이 형성된 점을 제외하고는 도 6의 반도체 패키지(100)와 동일한 구조를 갖는다. 상기 홈들(114, 116)은, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리와, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리를 홈들(114, 116)의 표면 거리만큼 더 증대시킨다.

<44> 도 8e에 도시된 반도체 패키지는, 도 8d의 반도체 패키지와 동일한 구조를 가지며, 단지 제1 외부 리드(121)의 일부를 덮는 몰딩된 하우징(110)의 연장부가 제거되었다는 점만 다르다. 따라서 도 8e의 반도체 패키지의 제1 외부 리드(121)는 몰딩된 하우징(110)으로부터 완전히 노출된다. 비록 도 8d의 반도체 패키지에 비하여 감소된 연면 거리를 갖지만, 제조 방법에 있어서는 도 8d의 반도체 패키지에 비하여 보다 용이해진다.

<45> 도 8f에 도시된 반도체 패키지의 경우, 도 8d의 반도체 패키지와 비교해서, 제2 외부 리드(122)의 돌출부(124)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상으로서, 결론적으로 제2 외부 리드(122)의 돌출부(124)가 몰딩된 하우징(110)으로부터 완전히 노출된다. 따라서 도 8f의 반도체 패키지는, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 8d의 반도체 패키지와 동일하게 유지할 수 있지만, 제1 외부 리

드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 8d의 반도체 패키지보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제3 외부 리드(123) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<46> 도 8g에 도시된 반도체 패키지는, 도 8f에 도시된 반도체 패키지와 동일하며, 단지 제2 외부 리드(122)의 돌출부(124) 대신에 제3 외부 리드(123)의 돌출부(126)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상을 갖는다. 따라서 이 반도체 패키지는, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 8d의 반도체 패키지와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 8d의 반도체 패키지보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제2 외부 리드(122) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<47> 도 9a 내지 도 9g는 도 7의 반도체 패키지를 여러 가지 형태로 변형시킨 결과들을 나타내 보인 도면들이다. 도 9a 내지 도 9g에서 도 7과 동일한 참조 부호는 동일한 요소를 나타낸다.

<48> 먼저 도 9a에 도시된 반도체 패키지의 경우, 도 7의 반도체 패키지(200)와 비교해서, 제1 외부 리드(121)의 일부를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상으로서, 결론적으로 제1 외부 리드(121)가 몰딩된 하우징(110)으로부터 완전히 노출된다. 따라서 도 9a의 반도체 패키지는 감소된 연면 거리를 갖게 되지만, 제조 방법에 있어서는 도 7의 반도체 패키지(200)에 비하여 보다 용이해진다.

<49> 다음에 도 9b에 도시된 반도체 패키지의 경우, 도 7의 반도체 패키지(200)와 비교해서, 제2 외부 리드(122)의 경사부(224)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상으로서, 결론적으로 제2 외부 리드(122)의 경사부(224)가 몰딩된 하우징(110)으로

부터 완전히 노출된다. 따라서 도 9b의 반도체 패키지는, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 7의 반도체 패키지(200)와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 7의 반도체 패키지(200)보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제3 외부 리드(123) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<50> 도 9c에 도시된 반도체 패키지는, 도 9b에 도시된 반도체 패키지와 동일하며, 단지 제2 외부 리드(122)의 경사부(224) 대신에 제3 외부 리드(123)의 경사부(226)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상을 갖는다. 따라서 이 반도체 패키지는, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 7의 반도체 패키지(200)와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 7의 반도체 패키지(200)보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제2 외부 리드(122) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<51> 도 9d에 도시된 반도체 패키지는, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 몰딩된 하우징(110) 표면과, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 몰딩된 하우징(110) 표면에 홈들(114, 116)이 형성된 점을 제외하고는 도 7의 반도체 패키지(200)와 동일한 구조를 갖는다. 상기 홈들(114, 116)은, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리와, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리를 홈들(114, 116)의 표면 거리만큼 더 증대시킨다.

<52> 도 9e에 도시된 반도체 패키지는, 도 9d의 반도체 패키지와 동일한 구조를 가지며, 단지 제1 외부 리드(121)의 일부를 덮는 몰딩된 하우징(110)의 연장부가 제거되었다는 점만 다르다. 따라서 도 9e의 반도체 패키지의 제1 외부 리드(121)는 몰딩된 하우징

(110)으로부터 완전히 노출된다. 비록 도 9d의 반도체 패키지에 비하여 감소된 연면 거리를 갖지만, 제조 방법에 있어서는 도 9d의 반도체 패키지에 비하여 보다 용이해진다.

<53>      도 9f에 도시된 반도체 패키지의 경우, 도 9d의 반도체 패키지와 비교해서, 제2 외부 리드(122)의 경사부(224)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상으로서, 결론적으로 제2 외부 리드(122)의 경사부(224)가 몰딩된 하우징(110)으로부터 완전히 노출된다. 따라서 도 9f의 반도체 패키지는, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 9d의 반도체 패키지와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 9d의 반도체 패키지보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제3 외부 리드(123) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<54>      도 9g에 도시된 반도체 패키지는, 도 9f에 도시된 반도체 패키지와 동일하며, 단지 제2 외부 리드(122)의 경사부(224) 대신에 제3 외부 리드(123)의 경사부(226)를 덮는 몰딩된 하우징(110)의 연장부가 제거된 형상을 갖는다. 따라서 이 반도체 패키지는, 제1 외부 리드(121)와 제2 외부 리드(122) 사이의 연면 거리는 도 9d의 반도체 패키지와 동일하게 유지할 수 있지만, 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 연면 거리는 도 9d의 반도체 패키지보다 작아진다. 따라서 이 경우 제1 외부 리드(121)와 제2 외부 리드(122) 사이에 상대적으로 큰 전압이 인가되어야 할 경우에 적합하다.

<55>      도 10은 도 7의 반도체 패키지를 변형시켜 외부 리드 사이의 피치 변화가 억제된 구조를 나타내 보인 도면이다. 그리고 도 11은 도 10의 A 부분에서의 제3 외부 리드를 확대해 나타내 보인 도면이다. 도 10 내지 도 11에서 도 7과 동일한 참조 부호는 동일한 요소를 나타낸다.

<56> 도 10 및 도 11을 참조하면, 본 실시예에 따른 반도체 패키지는 도 7의 반도체 패키지(200)와 거의 동일한 구조를 가지며, 단지 제2 외부 단자(122)의 경사부(324)와 제3 외부 단자(123)의 경사부(326)의 형상만이 다소 다른 구조를 갖는다. 구체적으로 제3 외부 단자(123)의 경사부(326)의 경우, 제1 외부 단자(121)와 마주보는 표면에서는 평평한 부분(326a), 경사진 부분(326b) 및 수직한 부분(326c)이 몰딩된 하우징(110)을 향해 순차적으로 배치된다. 상기 경사진 부분(326b) 및 수직한 부분(326c)은 제1 외부 단자(121)와 제3 외부 단자(123) 사이의 연면 거리를 증대시키는 효과를 제공하며, 상기 평평한 부분(326a)은 제1 외부 단자(121)와 제3 외부 단자(123) 사이의 피치(pitch)가 감소되는 현상을 억제시킨다. 즉 제3 외부 단자(123)의 경사부(326)는 몰딩된 하우징(110)으로 덮이는데, 이 몰딩된 하우징(110)의 두께에 해당하는 길이만큼 제1 외부 단자(121)와 제3 외부 단자(123) 사이의 피치도 감소될 수 밖에 없다. 그러나 본 실시예에서와 같이, 상기 평평한 부분(326a)을 포함함으로써, 몰딩된 하우징(110)이 상기 평평한 부분(326a) 내에서 경사부(326)를 덮게 할 수 있으며, 이에 따라 제1 외부 리드(121)와 제3 외부 리드(123) 사이의 피치는 감소되지 않는다. 제2 외부 리드(122)의 경우도 제3 외부 리드(123)의 경우와 동일하므로 중복되는 설명은 생략하기로 한다.

<57> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

#### 【발명의 효과】

<58> 이상의 설명에서와 같이, 본 발명에 따른 반도체 패키지에 의하면, 몰딩된 하우징의 일 측면과 접하는 외부 리드들의 일부에 굴곡부 또는 경사부를 형성하고 그 위를 몰

딩된 하우징의 연장되는 부분이 덮도록 함으로써 외부 리드들 사이의 연면 거리를 증대 시킬 수 있으며, 이에 따라 반도체 패키지의 외부 리드들에 인가될 수 있는 정격 전압을 증대시킬 수 있으므로 고전압 응용에 적합한 구조를 제공할 수 있다는 효과가 제공된다

## 【특허청구범위】

## 【청구항 1】

반도체 다이가 안착되는 리드 프레임 패드 및 리드 프레임 패드와 전기적으로 연결되는 내부 리드들이 몰딩된 하우징으로 덮이고, 상기 내부 리드들로부터 연장되는 외부 리드들이 상기 몰딩된 하우징의 일 측면 밖으로 돌출된 구조로 이루어진 반도체 패키지에 있어서,

상기 외부 리드들은 중앙부에 배치된 제1 외부 리드와 상기 제1 외부 리드의 좌우에 각각 배치된 제2 외부 리드 및 제3 외부 리드를 포함하며, 상기 제2 외부 리드 및 제3 외부 리드의 일부 중 상기 몰딩된 하우징과 인접된 부분에서 상기 제1 외부 리드와 반대 방향으로 돌출되어 상기 몰딩된 하우징 표면에서의 상기 제1 외부 리드와의 간격을 증대시키는 굴곡부가 배치되며 상기 제2 외부 리드의 굴곡부 및 상기 제3 외부 리드의 굴곡부 중 적어도 어느 하나는 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것을 특징으로 하는 반도체 패키지.

## 【청구항 2】

제1항에 있어서,

상기 제1 외부 리드의 일부 중 상기 몰딩된 하우징 표면과 인접된 부분은 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것을 특징으로 하는 반도체 패키지.

## 【청구항 3】

제2항에 있어서,

상기 제1 외부 리드의 일부를 덮는 몰딩된 하우징 표면과, 상기 제2 외부 리드 및 제3 외부 리드 중 적어도 어느 한 외부 리드의 굴곡부를 덮는 몰딩된 하우징 표면 사이의 간격은 적어도 1mm가 되도록 하는 것을 특징으로 하는 반도체 패키지.

#### 【청구항 4】

제1항에 있어서,

상기 제1 외부 리드와 상기 제2 외부 리드 사이의 상기 몰딩된 하우징 표면과, 상기 제2 외부 리드와 상기 제3 외부 리드 사이의 상기 몰딩된 하우징 표면 중 적어도 어느 한 표면에는 몰딩된 하우징 몸체를 향해 패인 함몰부가 형성되는 것을 특징으로 하는 반도체 패키지.

#### 【청구항 5】

반도체 다이가 안착되는 리드 프레임 패드 및 리드 프레임 패드와 전기적으로 연결되는 내부 리드들이 몰딩된 하우징으로 덮이고, 상기 내부 리드들로부터 연장되는 외부 리드들이 상기 몰딩된 하우징의 일 측면 밖으로 돌출된 구조로 이루어진 반도체 패키지에 있어서,

상기 외부 리드들은 중앙부에 배치된 제1 외부 리드와 상기 제1 외부 리드의 좌우에 각각 배치된 제2 외부 리드 및 제3 외부 리드를 포함하며, 상기 제2 외부 리드 및 제3 외부 리드의 일부 중 상기 몰딩된 하우징 표면에 가까울수록 상기 제1 외부 리드와 멀어지도록 경사진 경사부가 배치되며, 상기 제2 외부 리드의 경사부 및 상기 제3 외부 리드의 경사부 중 적어도 어느 하나는 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것을 특징으로 하는 반도체 패키지.

**【청구항 6】**

제5항에 있어서,

상기 제1 외부 리드의 일부 중 상기 몰딩된 하우징 표면과 인접된 부분은 상기 몰딩된 하우징으로 연장된 부분으로 덮이는 것을 특징으로 하는 반도체 패키지.

**【청구항 7】**

제6항에 있어서,

제 2항에 있어서,

상기 제1 외부 리드의 일부를 덮는 몰딩된 하우징 표면과, 상기 제2 외부 리드 및 제3 외부 리드 중 적어도 어느 한 외부 리드의 경사부를 덮는 몰딩된 하우징 표면 사이의 간격은 적어도 1mm가 되도록 하는 것을 특징으로 하는 반도체 패키지.

**【청구항 8】**

제5항에 있어서,

상기 제1 외부 리드와 상기 제2 외부 리드 사이의 상기 몰딩된 하우징 표면과, 상기 제2 외부 리드와 상기 제3 외부 리드 사이의 상기 몰딩된 하우징 표면 중 적어도 어느 한 표면에는 몰딩된 하우징 몸체를 향해 패인 함몰부가 형성되는 것을 특징으로 하는 반도체 패키지.

**【청구항 9】**

제5항에 있어서,

상기 제2 외부 리드 및 상기 제3 외부 리드 중 적어도 어느 한 외부 리드의 경사부는 상기 몰딩된 하우징 표면과 수직되는 부분과 경사진 부분의 경계 부분에 상기 경사부

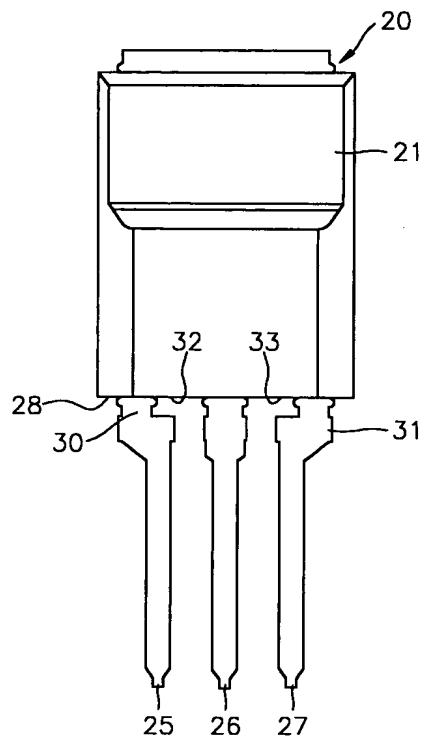
1020030004025

출력 일자: 2003/2/10

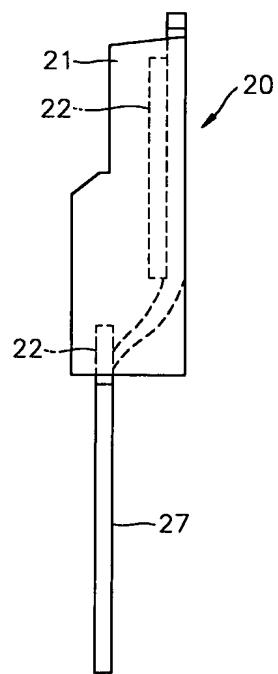
를 덮는 몰딩된 하우징의 두께보다 큰 평평한 부분을 포함하는 것을 특징으로 하는 반도체 패키지.

## 【도면】

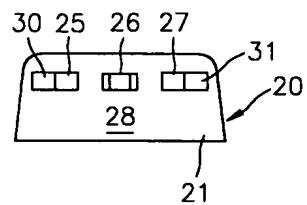
【도 1】



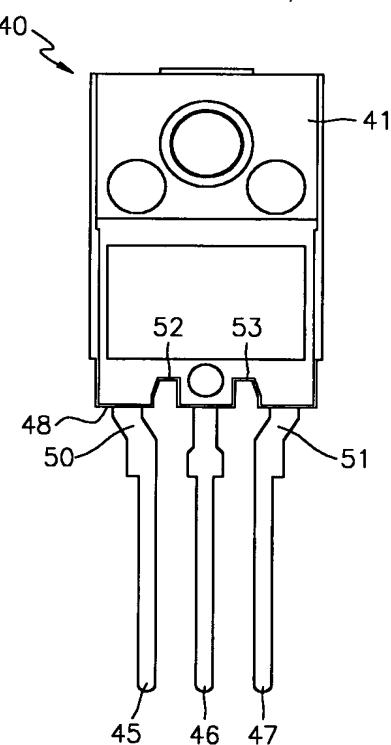
【도 2】



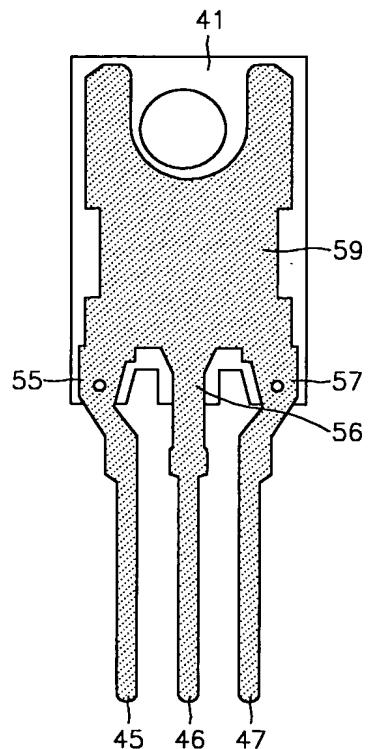
【도 3】



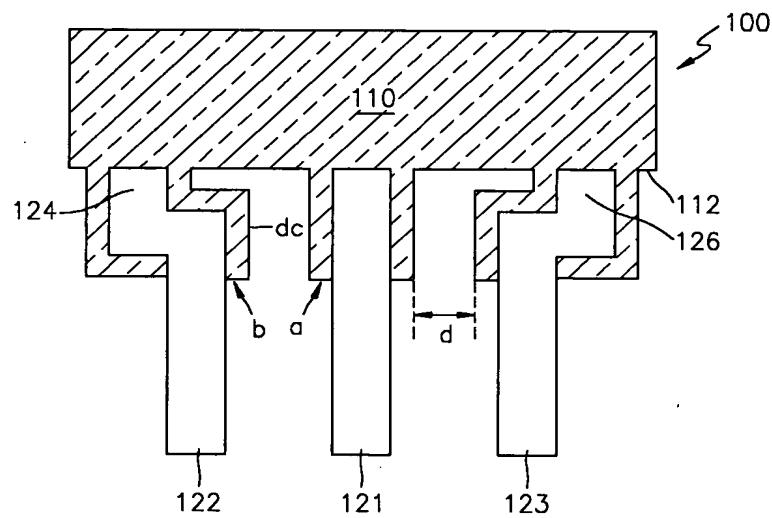
【도 4】



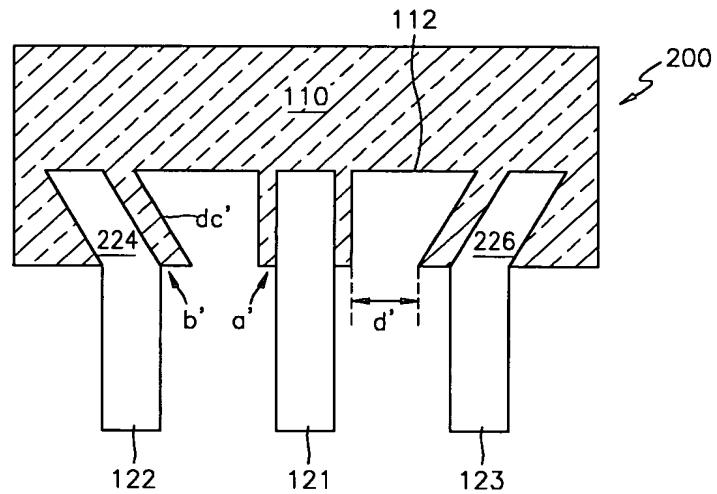
【도 5】



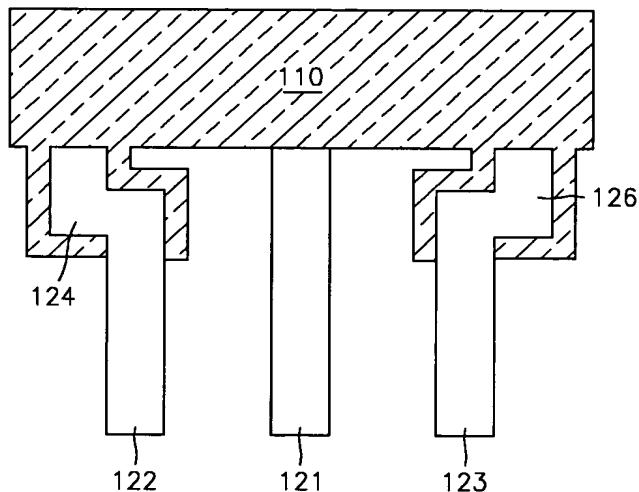
【도 6】



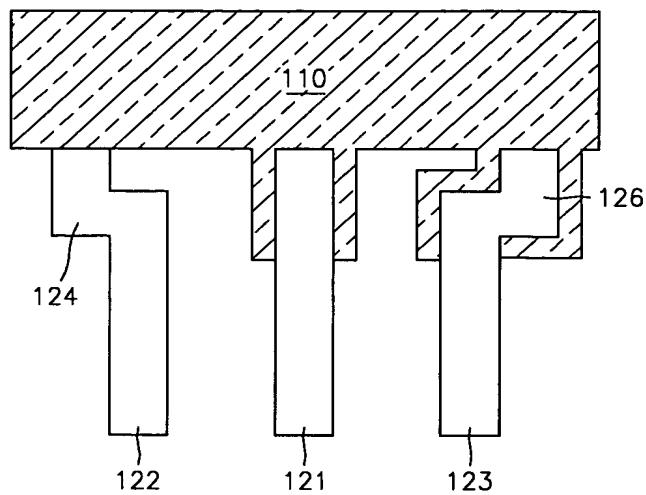
【도 7】



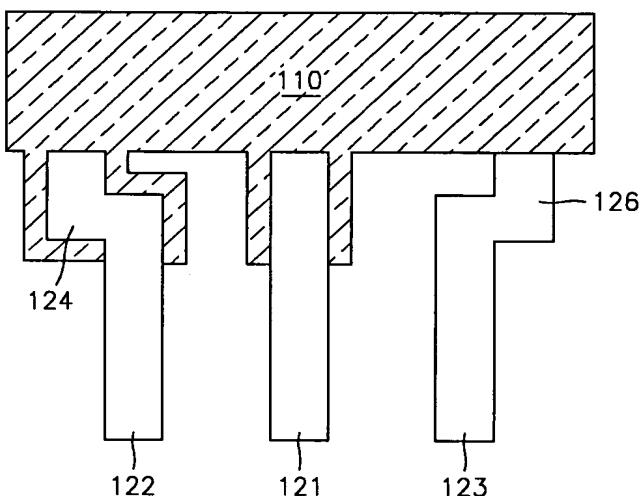
【도 8a】



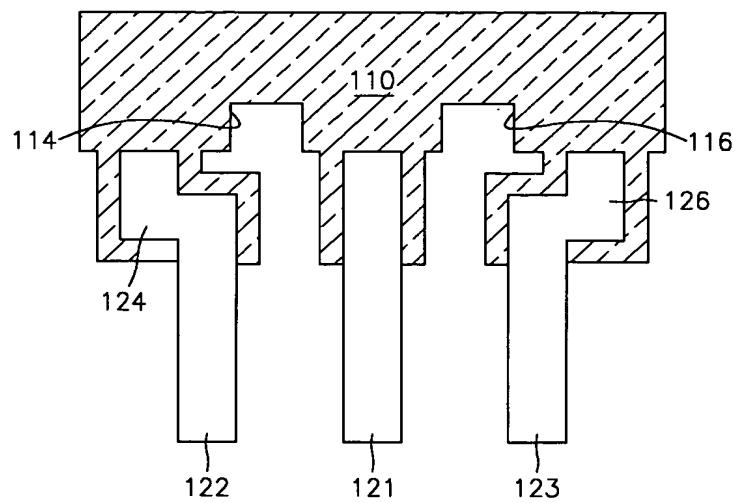
【도 8b】



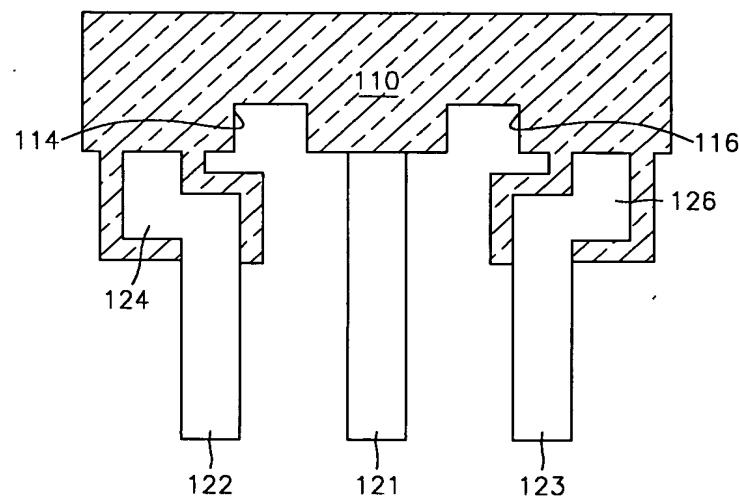
【도 8c】



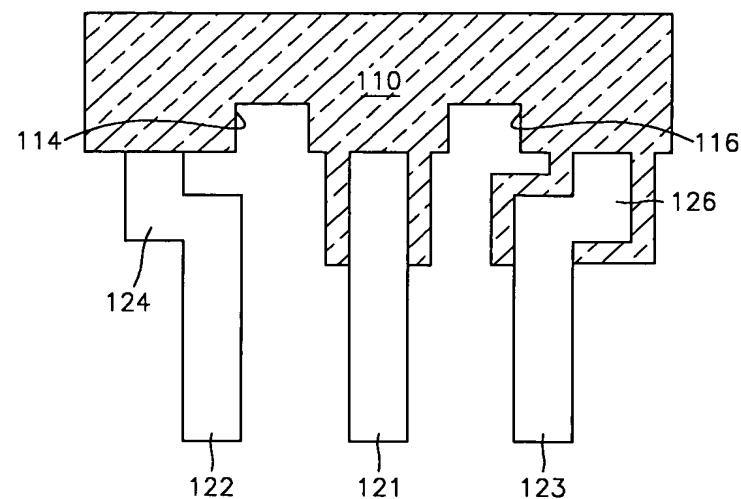
【도 8d】



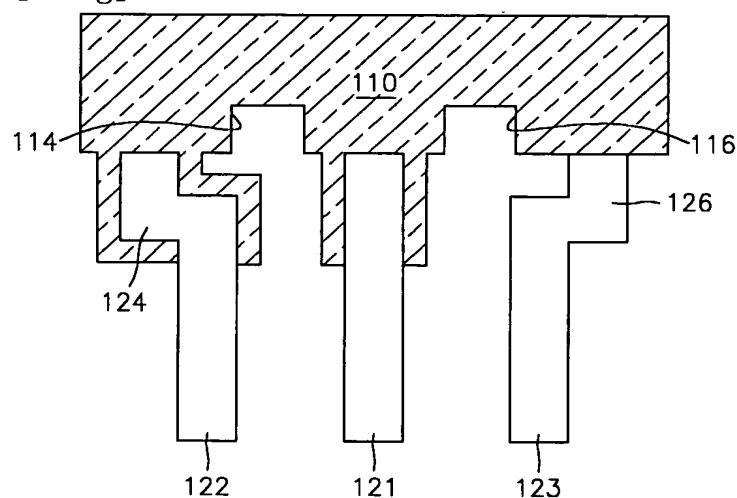
【도 8e】



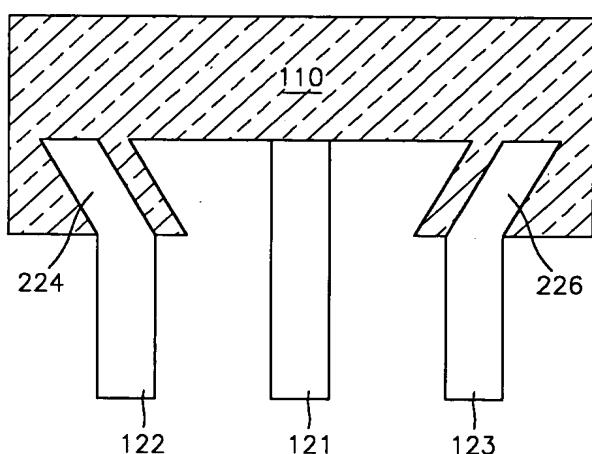
【도 8f】



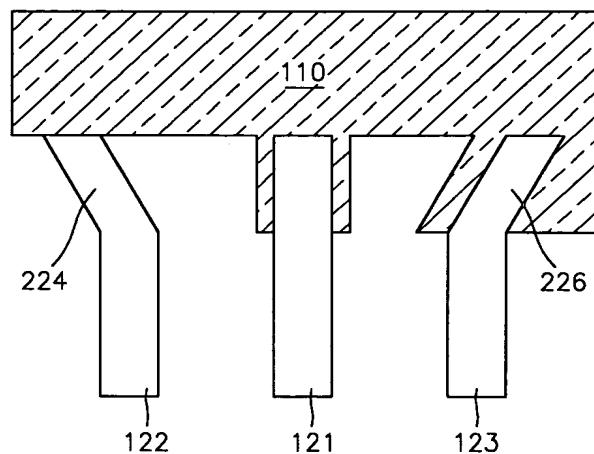
【도 8g】



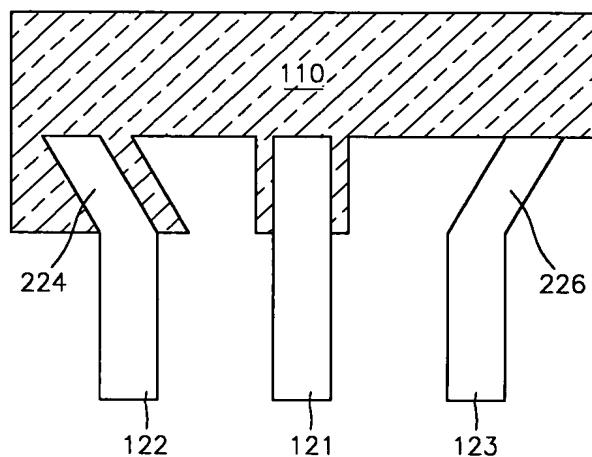
【도 9a】



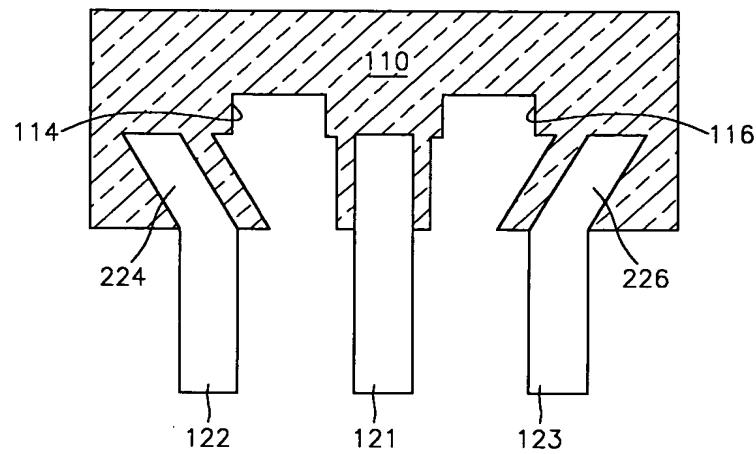
【도 9b】



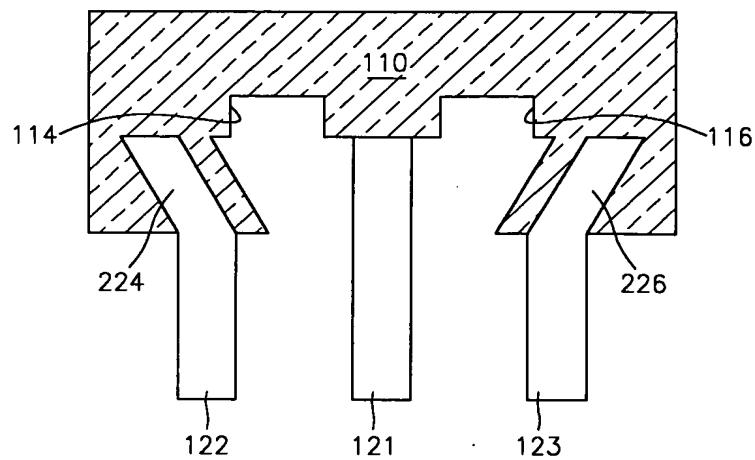
【도 9c】



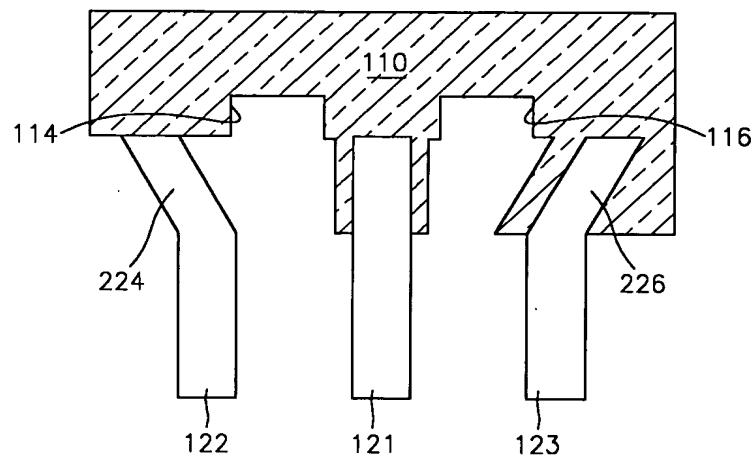
【도 9d】



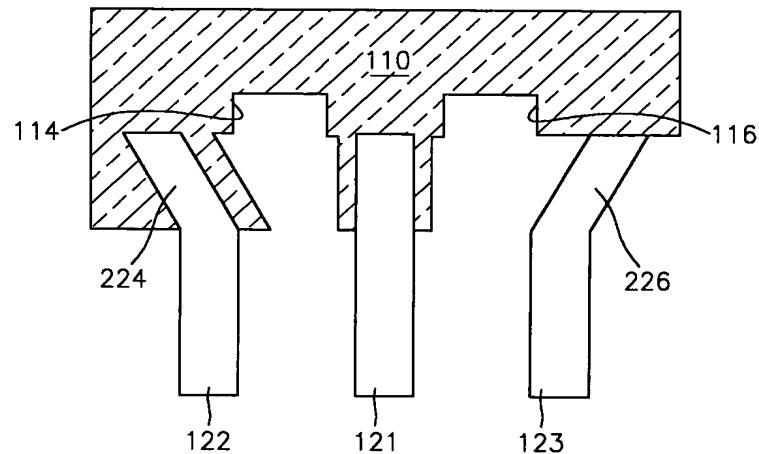
【도 9e】



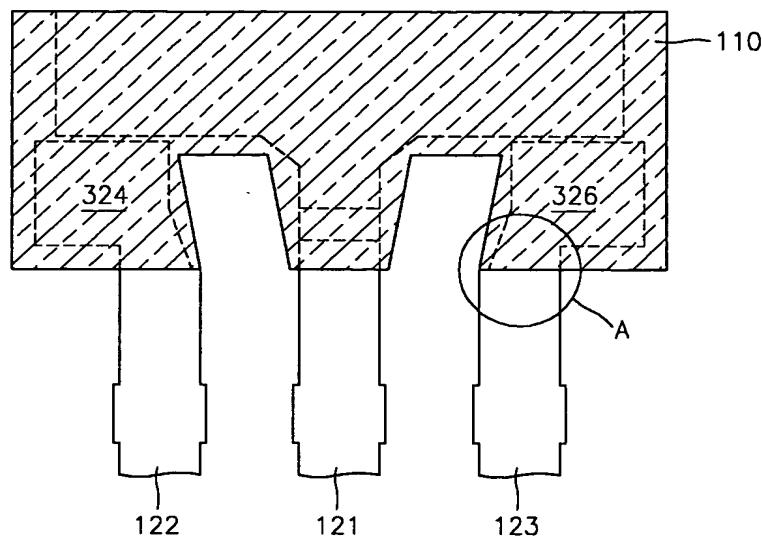
【도 9f】



【도 9g】



【도 10】



【도 11】

